

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-135275

(43)Date of publication of application : 08.05.1992

(51)Int.Cl.

G06F 15/347

G06F 9/38

G06F 9/38

(21)Application number : 02-258124

(71)Applicant : FUJITSU LTD

(22)Date of filing : 27.09.1990

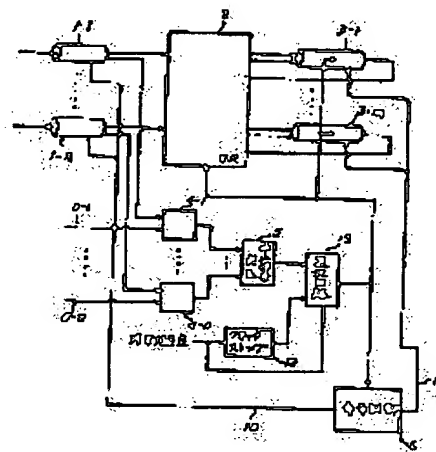
(72)Inventor : NAKATANI SHOJI

(54) PIPELINE CONTROL SYSTEM

(57)Abstract:

PURPOSE: To detect trouble of a control circuit at the time of a clock stop in its early stage by providing a clock stop means which stops a clock forcibly from outside by an integral multiple of the number of interleaved pulses.

CONSTITUTION: A clock stop circuit 12 outputs one pulse after stopping the clock by an integral multiple of the number of interleaved pulses, and the integer can be set from outside. Therefore, the clock period is delayed by the integral multiple of the number of interleaved pulses. A selecting circuit 13 performs stop control over arithmetic pipelines 3-1 - 3-m, a vector register 2, an instruction control part 6, etc., normally according to a signal sent from a stop signal generation part 5, but performs the stop control over them according to a signal sent from the clock stop circuit 12 once an external setting signal is sent. Consequently, the trouble can be detected in its early stage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平4-135275

⑬ Int. Cl.⁵G 06 F 15/347
9/38

識別記号

3 1 0 A
3 1 0 E
3 8 0 G
X
D
F

庁内整理番号

6798-5L
7927-5B
7927-5B
7927-5B
6798-5L
6798-5L

⑭ 公開 平成4年(1992)5月8日

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 バイブライン制御方式

⑯ 特 願 平2-258124

⑰ 出 願 平2(1990)9月27日

⑱ 発 明 者 中 谷 彰 二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 山谷 皓 榮

明細書

1. 発明の名称 バイブライン制御方式

2. 特許請求の範囲

少なくとも1つ乃至複数本のアクセスバイブライン(1-1~1-n)と、1つ乃至複数本の演算バイブライン(3-1~3-m)と、インタリーブされたベクトルレジスタ(2)を有するベクトル処理装置と、1つ乃至複数台の主記憶装置と、アクセスバイブライン(1-1~1-n)からのメモリアクセスを制御するためのメモリアクセス制御装置を具備し、前記アクセスバイブライン(1-1~1-n)によって前記主記憶装置からベクトルレジスタにロードされたデータをレジスタ連鎖させることにより、順次前記演算バイブラインにデータを供給するようにし、前記主記憶装置からベクトルレジスタ(2)にロードするデータが枯渇したときには前記演算バイブライン(3-1~3-m)をベクトルレジスタのインタリー

ブ数分だけクロックストップさせるように制御したベクトル処理装置において、

外部から強制的にインタリーブ数の整数倍だけクロックストップさせるクロックストップ手段(13)を設け、

クロックストップ時の制御回路の障害を早期に検出可能にしたバイブライン制御方式。

3. 発明の詳細な説明

(目次)

概要

産業上の利用分野

従来の技術(第3図~第6図)

発明が解決しようとする課題

課題を解決するための手段(第1図)

作用

実施例(第2図)

発明の効果

(図5)

パイプライン制御方式に関し、

演算パイプラインを停止制御する制御回路及び停止する処理回路の処理矛盾あるいは障害を、例えば故障検出で早期に検出可能とすることを目的とし、

少なくとも1つ乃至複数本のアクセスパイプラインと、1つ乃至複数本の演算パイプラインと、インタリーブされたベクトルレジスタを有するベクトル処理装置と、1つ乃至複数台の主記憶装置と、アクセスパイプラインからのメモリアクセスを制御するためのメモリアクセス制御装置を具備し、前記アクセスパイプラインによって前記主記憶装置からベクトルレジスタにロードされたデータをレジスタ選搬させることにより、順次前記演算パイプラインにデータを供給するようにし、前記主記憶装置からベクトルレジスタにロードするデータが枯渇したときには前記演算パイプラインをベクトルレジスタのインタリーブ数だけクロックストップさせるように制御したベクトル処理

(2) 装置において、外部から強制的にインタリーブ数の選搬倍だけクロックストップさせるクロックストップ手段を設け、クロックストップ時の制御回路の障害を早期に検出可能に構成する。

(図表上の利用分庫)

本発明はベクトルレジスタを備えたベクトル処理装置において、ロードアクセスパイプラインと、演算パイプラインがリンク動作するときの演算パイプラインの停止制御に関する。

(従来の技術)

ベクトル演算装置は、第3図に示す如く、CPU 20、ベクトル・ユニット21、単独又は複数の主記憶装置22-0、22-1…、メモリ制御装置23を具備している。そしてベクトル・ユニット21には、複数のベクトルレジスタVR0、VR1…と、演算器LU0、LU1…を具備している。

ベクトルレジスタは、第4図に示す如く、バン

ク0、バンク1…バンク7の8個のバンクにインタリーブされている。なお、第4図は、第3図に示すベクトルレジスタVR0及びその周辺回路の接続状態説明図であり、メモリ制御装置に対し、エレメント(データ)を要求したり、要求したエレメントを所定のバンクに含むベクトルロード部30-0、30-1、演算器LU0で演算すべきエレメントをバンク0～バンク7より選択的に読み出す選択部31-0、31-1を有する。

今、第5図の右上に示す如き命令を実行する場合について説明する。ここでVLはベクトル・ロード、VADは加算を示し、ベクトルAとしてVRaを、ベクトルBとしてVRbをそれぞれベクトルレジスタにロードして、これらを加算することを示している。

従って、第5図に示す如く、第1ロードパイプラインでは、ベクトルAをロードするため、①アドレス発生、②アドレス変換(論理アドレス→実アドレス)、③メモリアクセス、④メモリ駆動、⑤データフェッチ、⑥ベクトルレジスタのバンク

書き込みが行われる。これは、第1ロードパイプラインを第4図に示すベクトルロード部30-0とすればこのベクトルロード部30-0及びメモリ制御装置で前記処理が行われる。

また、第2ロードパイプラインをベクトルロード部30-1とすれば、ベクトルAのロードと並行して、ベクトルBのロードがベクトルロード部30-1等で行われる。

ベクトルレジスタにロードされたVRa、VRbは選択部31-0、31-1で読み出され、演算器LU0で、第5図に示す加算ステージが実行される。

ところで演算パイプラインは、ベクトルレジスタ上のデータを連続処理するように構成されているが、アクセスパイプラインは、メモリ制御装置においてメモリアクセス競合が起きるので、必ずしも所望のデータをベクトルレジスタに連続供給できるとは限らない。

そのため、ロードパイプラインがベクトルレジスタにデータをロードしこれを演算パイプライン

が読み出して処理を行うという、両パイプラインがリンク動作する場合には、このロードパイプラインのデータ供給の非連続性により、演算パイプラインのデータ読み込みを追い越す危険がある。

これを回避するためには、時々ベクトルレジスタのインタリーブ分だけ（第4図の例では8サイクル）演算パイプラインを停止して、両パイプラインの歩調を合わせることが必要となる。

第6図は、従来のベクトル処理装置におけるパイプライン制御を示すブロック図である。

第6図において、1-1~1-nはロードアクセスパイプラインであり、図示省略された記憶装置とベクトルレジスタ2との間のデータ伝送を行う。

2はベクトルレジスタであり、演算前後及び演算中のデータを保持し、高速アクセスが可能なレジスタ群である。

3-1~3-mは演算パイプラインであり、ベクトルレジスタ2からデータを読み出しつつ演算し、演算結果をベクトルレジスタ2に書き込む。

nでは、ロードデータ読み込み予告信号7-1~7-nと、リンク信号8-1~8-nを監視しており、リンク信号8-1~8-nが有効なときに、ロードデータ読み込み予告信号7-1~7-nが無効になると、演算パイプライン停止要求発生部4-1~4-nは演算パイプライン停止要求信号を演算パイプライン停止信号発生部5に発生する。

演算パイプライン停止信号発生部5では、演算パイプライン停止要求発生部4-1~4-nの各々の停止要求を監視し、1つでも要求が発生していれば、演算パイプライン停止信号9をオンにして有効にし、演算パイプライン3-1~3-mを停止させる。

また演算パイプライン停止信号発生部5においては、前記停止要求が消滅しても、インタリーブされたベクトルレジスタ2を演算パイプライン3-1~3-mがアクセスするタイミングになるまでは、演算パイプライン停止信号9をオフにして無効にしないように制御している。

またこの演算パイプライン停止信号9はベクト

ルレジスタ2に伝達され、演算パイプライン3-1~3-mが停止したとき、ベクトルレジスタ2のレジスタアドレス等の更新を行わないようにする。

命令制御部6は命令発信制御を行うものであり、信号10、11によりロードアクセスパイプライン1-1~1-n、演算パイプライン3-1~3-mを制御するものであるが、演算パイプライン3-1~3-mが停止している場合には、同じく演算パイプライン停止信号9により命令発信を行わないように制御される。

命令制御部6は命令発信制御を行うものであり、信号10、11によりロードアクセスパイプライン1-1~1-n、演算パイプライン3-1~3-mを制御するものであるが、演算パイプライン3-1~3-mが停止している場合には、同じく演算パイプライン停止信号9により命令発信を行わないように制御される。

演算パイプライン停止要求発生部4-1~4-

ルレジスタ2に伝達され、演算パイプライン3-1~3-mが停止したとき、ベクトルレジスタ2のレジスタアドレス等の更新を行わないようにする。

命令制御部6は命令発信制御を行うものであり、信号10、11によりロードアクセスパイプライン1-1~1-n、演算パイプライン3-1~3-mを制御するものであるが、演算パイプライン3-1~3-mが停止している場合には、同じく演算パイプライン停止信号9により命令発信を行わないように制御される。

〔発明が解決しようとする課題〕

この第6図に示す従来の方式では、演算パイプライン停止信号発生部5から出力される演算パイプライン停止信号9によって演算パイプライン3-1~3-mの停止、ベクトルレジスタ2のアドレス更新の制御、命令制御部6の命令発信の制御等、複雑な制御を行う必要があり、そのため演算パイプライン3-1~3-mのクロックストップ

時の命令制御部6、演算パイプライン3-1~3-mの停止制御回路等の制御回路の動作を早期に検出しにくいという問題があった。

〔問題を解決するための手段〕

このため、本発明では、第1図に示す如く、クロックストップ回路12と選択回路13を設ける。クロックストップ回路12は、インタリーブ段の遅延倍だけクロックストップさせたのちパルスを1つ出力するものであり、その遅延の値は外部より設定できるように構成されている。従って、インタリーブ段の遅延倍だけクロック周期を遅延させる。

選択回路13は、通常の場合は停止信号発生部5から伝送される信号にもとづき演算パイプライン3-1~3-m、ベクトルレジスタ2、命令制御部6等の停止制御を行うが、外部設定信号が伝送されるとクロックストップ回路12から伝送される信号にもとづきこれらの停止制御を行うことになる。

4-1~4-nは演算パイプライン停止要求発生部であり、5は演算パイプライン停止信号発生部であり、演算パイプライン停止要求発生部4-1~4-nのいずれかから停止要求信号が出力されたとき、演算パイプライン停止信号を出力し演算パイプライン3-1~3-mの動作を停止させるように、制御するものである。勿論このとき、ベクトルレジスタ2、命令制御部6の動作も停止されるものとなる。

6は命令制御部であって命令発信制御を行い、例えば信号10、11によりロードアクセスパイプライン1-1~1-n、演算パイプライン3-1~3-mへの命令発信を制御させるものである。

12はクロックストップ回路であり、外部より指定されたインタリーブ段分の遅延倍だけクロックストップさせる回路である。このため、カウンタ12-1、減算部12-2、乗算部12-3、レジスタ12-4等を具備している。乗算部12-3はインタリーブ段「8」が入力され、レジスタ12-4に外部設定された段値と乗算され、カ

〔作用〕

したがって、通常は、第6図に示す従来のものと同様に動作させることができるが、その動作をチェックしたい場合には、外部設定信号によりクロックストップ回路12及び選択回路13を制御して、クロックをインタリーブ段の遅延倍だけ周期を大きくして遅い動作状態に制御することができるので、これにもとづき、例えばテスト段階において各部のチェックを正確に行うことができ、不具合の点を早期に検出することができる。

〔実施例〕

本発明の一実施例を第2図にもとづき説明する。

第2図において、第1図、第6図と同一記号は同一部分を示す。

第2図において、1-1~1-nはロードアクセスパイプラインである。2はベクトルレジスタであり、3-1~3-mは演算パイプラインである。

カウンタ12-1がこの乗算値に初期設定される。そしてこの初期設定値が減算部12-2により「-1」減算されてゼロになったとき、クロックストップ回路12はパルスを1つ出力する。

13は選択回路であり、通常は停止信号発生部5から伝送された信号を出力するが、外部設定信号が入力されたとき、クロックストップ回路12から伝送される信号を出力する。

前記の如く、選択回路13は、通常では停止信号発生部5の信号を出力するので、第6図に示す従来のものと同様に動作する。

ところで、設計段階やテスト段階など何等かの理由で不具合の存在が予想されるような場合には、外部設定信号により、レジスタ12-4に例えば段値「2」を設定する。これにより乗算部12-3では $2 \times 8 = 16$ が演算され、カウンタ12-1は16に初期設定され、クロックストップ回路12はクロックストップ信号を出力する。このクロックストップ信号は、選択回路13を経由して、前記の如く、演算パイプライン3-1~3-m、

ベクトルレジスタ 2、命令制御部 6 に伝達され、動作停止状態となる。そしてカウンタ 12-1 がクロックにより「-1」減算され、ゼロになったときクロックストップ回路 12 からクロックが 1 個出力される。これにより前記動作停止状態が 1 クロック分だけ解除され、再び動作停止状態となる。即ち、これにより前記各部は、周期が前記乗算器 12-3 の計算値だけスローダウンしたクロックで制御されている状態となる。それ故、この間に各部の診断を正確に行うことができる。例えばクロック停止期間中に、動作してはおかしい部分が動作する等の状態を、正しくチェックすることができる。

勿論、レジスタ 12-4 に設定する整数は、特定値に限定されるものではなく、適宜選択できるものである。

(発明の効果)

本発明によればクロックストップ期間が外部設定信号により自由に与えられるようにしたので、

- 6……命令制御部
- 12……クロックストップ回路
- 13……選択回路

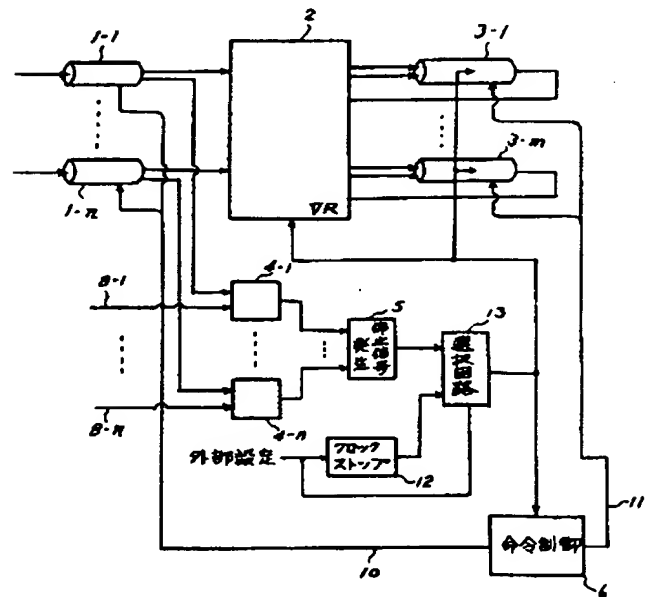
特許出願人 富士通株式会社
代理人弁理士 山谷 晴 榮

- (5) チェック対象に応じてこれを選定することによりクロックストップ時の各部の障害を正確にチェックすることが可能となる。従ってテスト中に設計ミス等を検出することが容易となり、障害の早期検出が可能となる。

4. 図面の簡単な説明

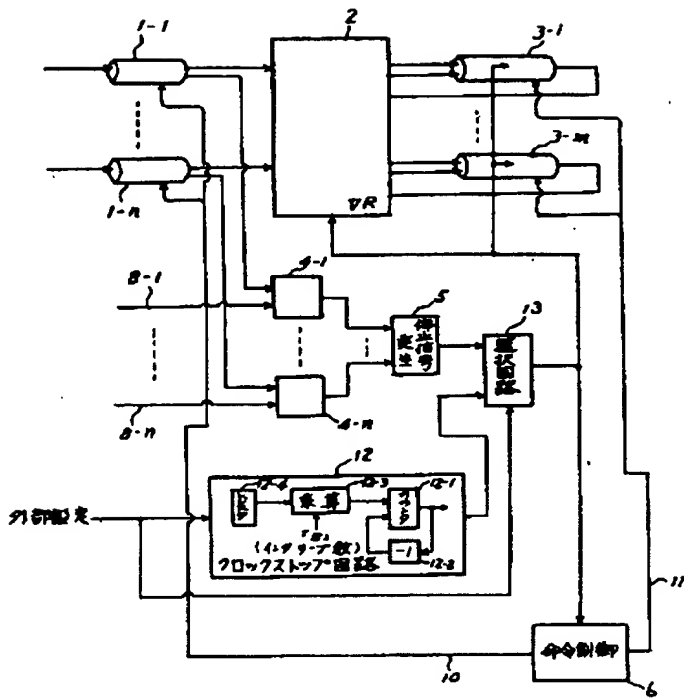
- 第 1 図は本発明の原理説明図、
- 第 2 図は本発明の一実施例構成図、
- 第 3 図はデータ処理装置の概略図、
- 第 4 図はベクトルレジスタ説明図、
- 第 5 図は演算状態説明図、
- 第 6 図は従来例である。

- 1-1 ~ 1-n……ロードアクセスパイプライン
- 2……ベクトルレジスタ
- 3-1 ~ 3-m……演算パイプライン
- 4-1 ~ 4-n……演算パイプライン停止要求発生部
- 5……演算パイプライン停止信号発生部

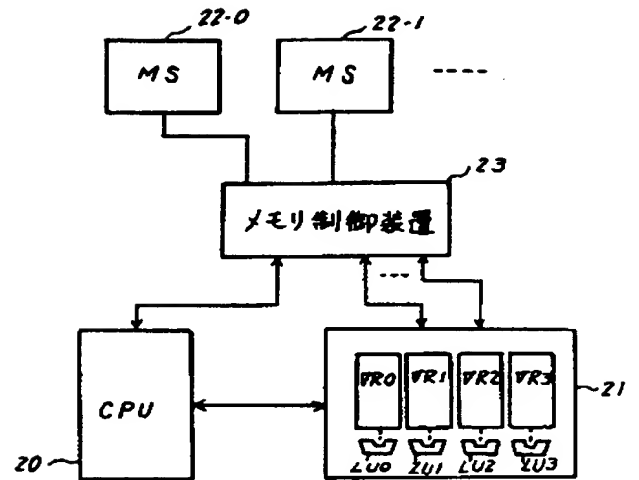


本発明の原理図
第 1 図

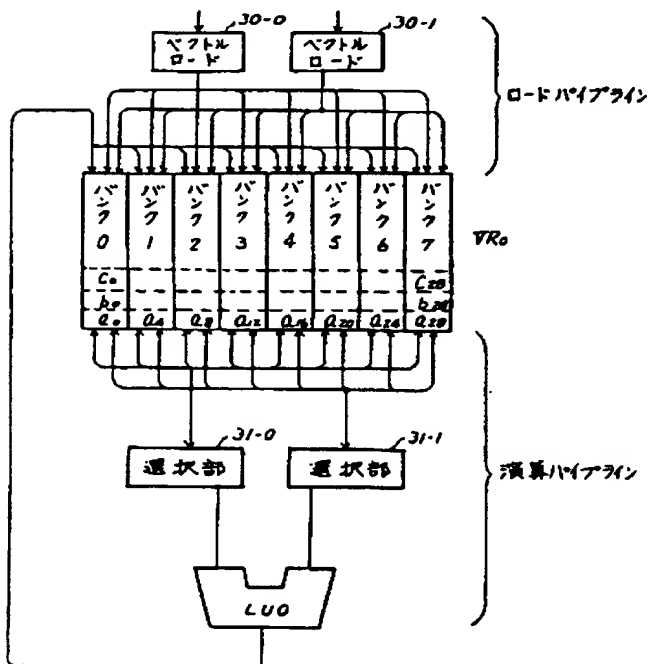
(6)



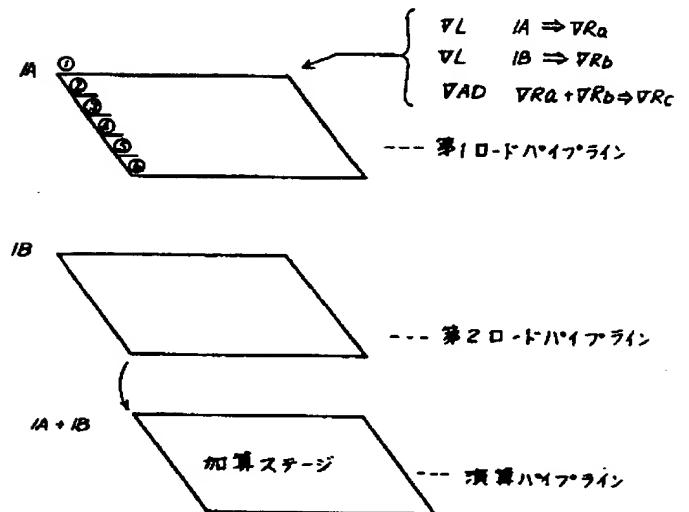
本発明の一実施例
第2図



データ処理装置
第3図

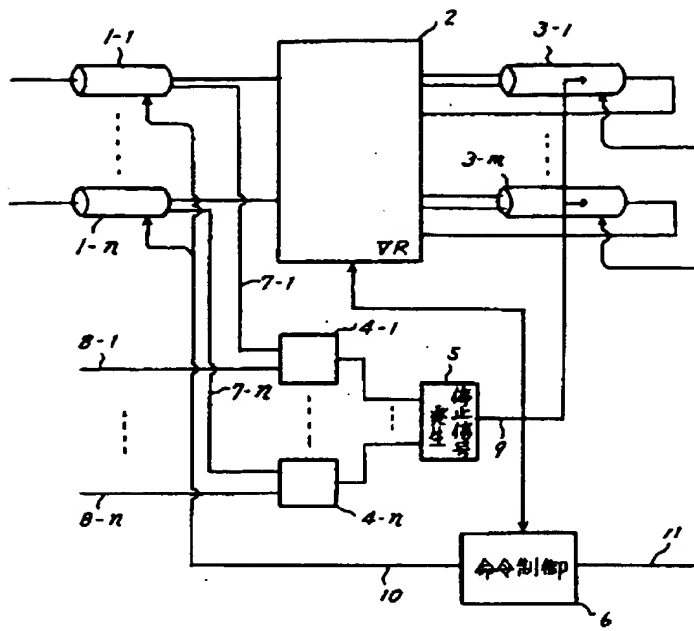


ベクトルレジスタ説明図
第4図



演算状態説明図
第5図

(7)



従来例
第 6 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.